

Câu 1: (1,5 điểm)

Cho hàm $Y = (A + B)C + ABC + \overline{A} + B + A(\overline{B + C})$

a. Tối giản hàm.

$$Y = (A + B)C + ABC + \overline{A} + B + A(\overline{B + C})$$

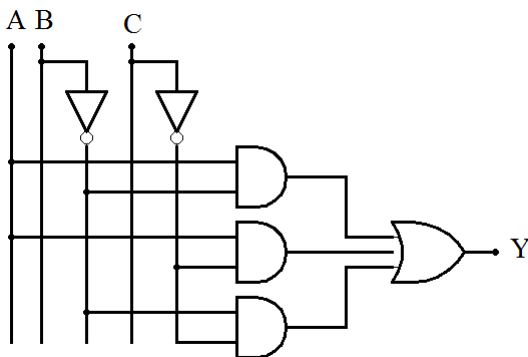
$$Y = \overline{A}.B.C + ABC + \overline{A}B + A.B.C$$

	AB	00	01	11	10
C					
0		0	0	1	1
1		0	0	0	1

$$Y = A\overline{C} + \overline{A}B + \overline{B}C$$

(1đ)

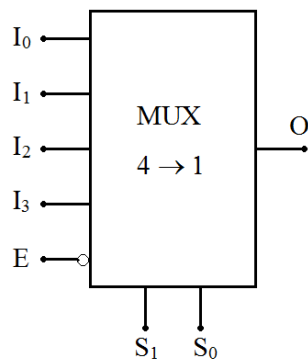
b. Vẽ mạch logic từ hàm tối giản.



(0,5đ)

Câu 2: (1 điểm)

Cho sơ đồ khối



a. Bảng trạng thái

Ngõ vào			Ngõ ra
E	S ₁	S ₀	O
1	x	x	0
0	0	0	I ₀
0	0	1	I ₁
0	1	0	I ₂
0	1	1	I ₃

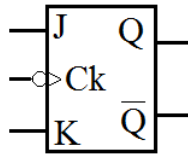
(0,5đ)

b. Hàm ngõ ra

$$O = \bar{E}.S_1.S_0.I_0 + \bar{E}.S_1.S_0.I_1 + \bar{E}.S_1.S_0.I_2 + \bar{E}.S_1.S_0.I_3 \quad (0,5đ)$$

Câu 3: (1,5 điểm)

Cho Flip-Flop như hình vẽ.



a. Hãy lập bảng trạng thái cho Flip-Flop

Ck	J	K	Q_{n+1}	\bar{Q}_{n+1}	Trạng thái
0	x	x	Q_n	\bar{Q}_n	Không đổi
↓	0	0	Q_n	\bar{Q}_n	Không đổi
↓	0	1	0	1	Reset
↓	1	0	1	0	Set
↓	1	1	\bar{Q}_n	Q_n	Đảo TT

(0,5đ)

b. Viết phương trình đặc tính cho Flip-Flop

J	K	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

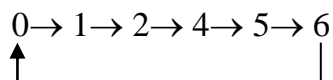
(0,5đ)

$Q_n \backslash JK$	JK			
	00	01	11	10
0	0	0	1	1
1	0	0	0	1

Phương trình: $Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n \quad (0,5đ)$

Câu 4: (2 điểm)

Hãy thiết kế mạch đếm đồng bộ, đếm các trạng thái theo sơ đồ, sử dụng Flip-Flop T có Ck tác động cạnh xuống, Pre và Cl tích cực mức thấp.



Trạng thái hiện tại			Trạng thái kế tiếp			Ngõ vào kích FF		
Q_2	Q_1	Q_0	Q_2'	Q_1'	Q_0'	T_2	T_1	T_0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	1	0	0	1	1	0
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	0	0	0	1	1	0

(0,5đ)

Q_2Q_1 \ Q_0	00	01	11	10
0	1	0	0	1
1	1	x	x	1

$T_0 = \overline{Q_1}$ (0,25đ)

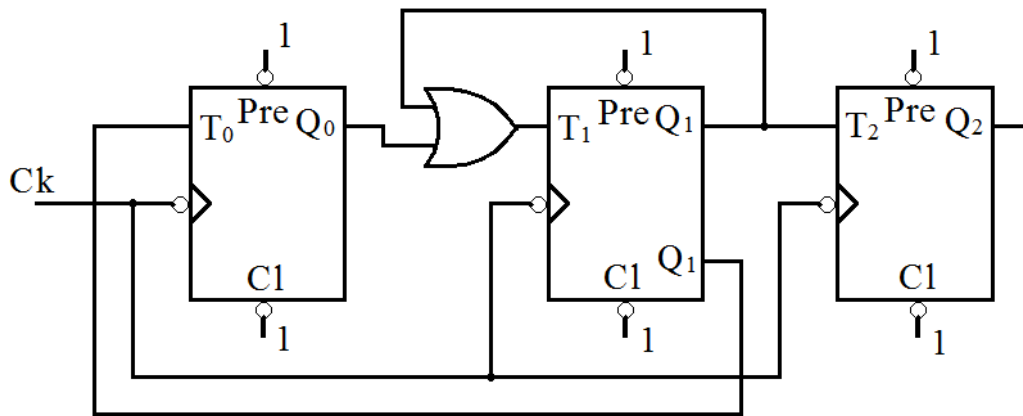
Q_2Q_1 \ Q_0	00	01	11	10
0	0	1	1	0
1	1	x	x	1

$T_1 = Q_0 + Q_1$ (0,25đ)

Q_2Q_1 \ Q_0	00	01	11	10
0	0	1	1	0
1	0	x	x	0

$T_2 = Q_1$ (0,25đ)

Mạch điện (0,75đ)



Câu 5: (1,5 điểm)

Cho DAC ngõ ra điện áp n bit.

- a. Tìm số bit nhỏ nhất của DAC để có $V_O = 8,184V$, với kích thước bậc thang (Stepsize) $K = 20mV$

Số bậc của V_O là: $8,184V/20mV = 409,2$ bậc

$2^n - 1 \geq 409,2 \rightarrow n \geq 9$

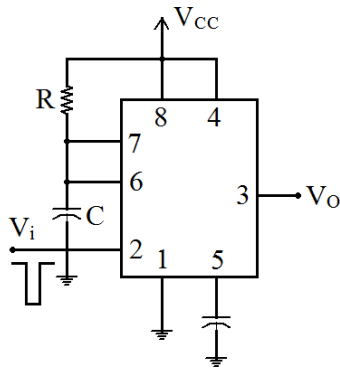
Vậy số bit nhỏ nhất của DAC là $n = 9$ (1đ)

- b. Với $n = 10$. Tìm K khi $V_{Omax} = 8,184V$

$K = V_{Omax}/(2^n - 1) = 8,184V/(2^{10} - 1) = 8mV$ (0,5đ)

Câu 6: (1 điểm)

- a. Hãy vẽ mạch đơn ổn (định thời) sử dụng IC555



(0,5đ)

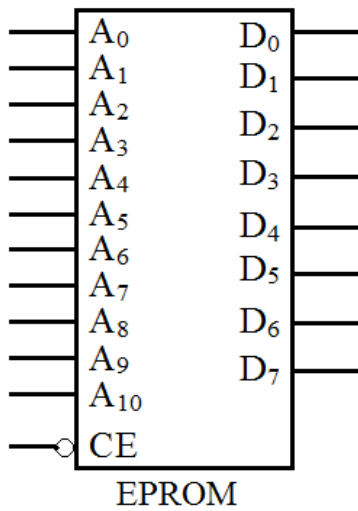
b. Cho $C = 10\mu\text{F}$. Tìm R để có độ rộng xung ra là 3s

$$T = 1,1RC$$

$$R = T/1,1C = 3\text{s}/(1,1 \times 10^{-5}\text{F}) = 273\text{k}\Omega \quad (0,5\text{đ})$$

Câu 7: (1,5 điểm)

Cho bộ nhớ EPROM như hình vẽ



a. Tính dung lượng theo đơn vị bit

$$C = 2^{11} \times 8 = 16384 \text{ bit} \quad (0,25\text{đ})$$

b. Xác định vùng địa chỉ nhớ có thể truy xuất được khi $A_9 = 0$.

$$(000\text{H} \rightarrow 01\text{FFH}) \text{ và } (400\text{H} \rightarrow 5\text{FFH}) \quad (0,5\text{đ})$$

c. Ghép các bộ nhớ trên thành bộ nhớ có dung lượng (byte) tăng gấp đôi.

Địa chỉ các bộ nhớ

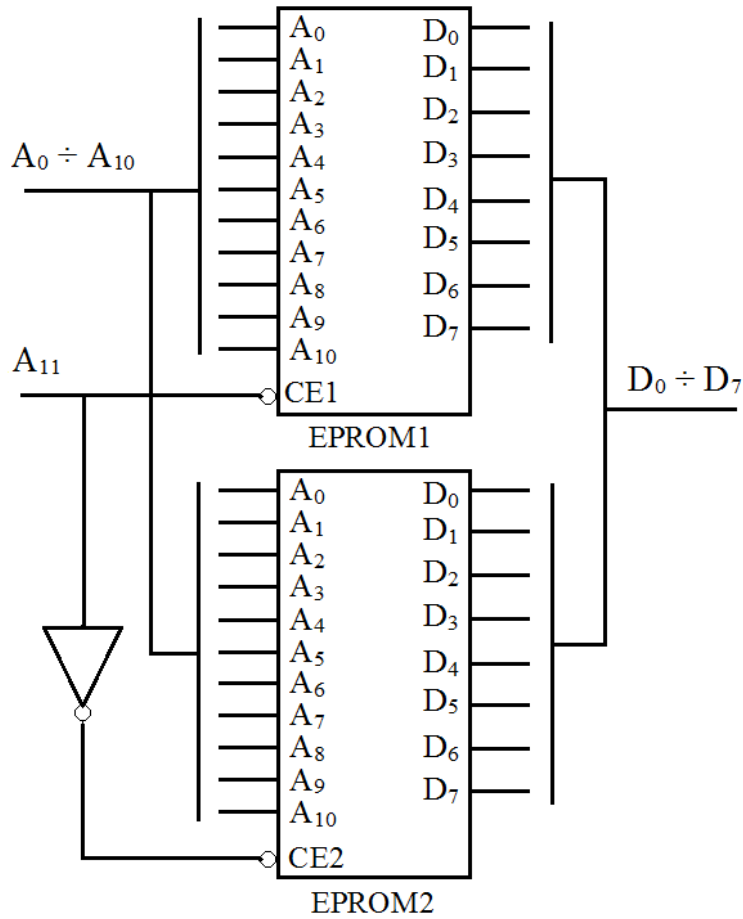
A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
0	0	0	0	0	0	0	0	0	0	0	0	EPROM1
0	1	1	1	1	1	1	1	1	1	1	1	
1	0	0	0	0	0	0	0	0	0	0	0	EPROM2
1	1	1	1	1	1	1	1	1	1	1	1	

Bảng trạng thái ghép bộ nhớ

A_{11}	$\overline{CE_1}$	$\overline{CE_2}$
0	0	1
1	1	0

$$\overline{CE_1} = A_{11}, \overline{CE_2} = \overline{A_{11}} \quad (0,25\text{đ})$$

Mạch điện



(0,5đ)

Ghi chú: Cán bộ coi thi không được giải thích đề thi.

Chuẩn đầu ra của học phần (về kiến thức)	Nội dung kiểm tra
[CDR G1.2]: Trình bày được các định lý đại số Boole, định lý De-morgan, phương pháp đơn giản hàm dùng bìa K.	Câu 1
[CDR G2.1]: Phân tích hoạt động của mạch logic tổ hợp, Flip-Flop.	Câu 2, 3
[CDR G4.1]: Thực hiện mạch đếm không đồng bộ, đồng bộ và thanh ghi dịch	Câu 4
[CDR G4.2]: Tính toán cho các mạch dao động và định thời, DAC, ADC, giao tiếp giữa IC và tải công suất	Câu 5, 6
[CDR G4.3]: Xây dựng chương trình cho bộ nhớ	Câu 7

Ngày 01 tháng 6 năm 2016

Thông qua bộ môn

(ký và ghi rõ họ tên)